

Docket No.: 67161-071

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masakazu OKADA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 27, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE HAVING INDUCTOR	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-099209, filed April 2, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: August 27, 2003

G7161-071

OKADA

August 27, 2003

日本国特許庁
JAPAN PATENT OFFICE

M. J. Dermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 4月 2日

出願番号

Application Number:

特願2003-099209

[ST.10/C]:

[JP2003-099209]

出願人

Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045239

【書類名】 特許願

【整理番号】 542666JP01

【提出日】 平成15年 4月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 岡田 昌和

【特許出願人】

 【住所又は居所】 東京都千代田区丸の内二丁目4番1号

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

 【識別番号】 100096781

 【弁理士】

 【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にインダクタを有する半導体装置であって、
前記半導体装置は、

前記半導体基板の上方に形成された層間絶縁膜と、

前記層間絶縁膜に形成された渦巻き状の溝と、

前記渦巻き状の溝に埋め込まれた配線層と、を有するユニットを備え、

前記インダクタは、前記半導体基板の主表面に対してほぼ垂直な方向において、
前記ユニットが積み重ねられた複数のユニットにより構成され、

前記複数のユニットに含まれる複数の配線層は、前記半導体基板の主表面に対して垂直な方向において、互いに重なるように配置されるとともに、ほぼ同一の幅を有している、半導体装置。

【請求項 2】 前記渦巻き状の溝の幅は、該渦巻き状の溝が形成された前記層間絶縁膜の膜厚よりも大きい、請求項 1 に記載の半導体装置。

【請求項 3】 前記複数のユニットの前記半導体基板から最も離れた位置に存在する最上層ユニットに含まれる配線層には、前記インダクタから電流を取り出すことが可能な取出電極部が設けられており、

前記取出電極部は、前記層間絶縁膜の主表面に対して垂直な方向において、前記最上層ユニットの下側のユニットに含まれる配線層の最外縁よりもはみ出したはみ出し部分を有し、

前記はみ出し部分に接続するように、前記はみ出し部分の上側からプラグが形成された、請求項 1 に記載の半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置の製造方法であって、

前記半導体装置は、前記インダクタが形成される領域とは異なる領域であって、ロジック回路が形成されるロジック回路領域を備え、

前記ロジック回路領域においては、前記ロジック回路を構成するロジック回路配線層が設けられており、

前記渦巻き状の溝を形成する工程は、前記ロジック回路配線層が埋め込まれる

ロジック回路配線層用溝を形成する工程の一部の工程とともに実行され、

前記ロジック回路用溝を形成する工程は、

前記層間絶縁膜に前記一部の工程を施すことにより、第 1 の溝部を形成する工程と、

前記第 1 の溝部を形成する工程の後、前記第 1 の溝が形成された層間絶縁膜をエッチングすることにより、該第 1 の溝部の上側に該第 1 の溝部よりも幅が大きい第 2 の溝部を形成する工程とを含み、

該第 2 の溝部を形成する工程においては、前記渦巻き状の溝がマスクにより覆われた状態で、前記第 2 の溝部のエッチングが行われる、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板上にインダクタが設けられた半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

従来より、半導体基板の主表面上に形成された複数の層間絶縁膜それぞれ内に渦巻き状の配線層が形成され、複数の渦巻き状の配線層がインダクタとして機能する半導体装置が知られている。

【0003】

【特許文献 1】

特開 2 0 0 0 - 1 2 4 4 0 3 号公報

【0004】

【発明が解決しようとする課題】

上記従来のインダクタにおいては、複数の渦巻き状の配線層が、半導体基板の主表面に対して垂直な方向において、互いに所定の間隔をおいて設けられている。また、複数の配線層同士は、層間絶縁膜に形成された上下方向に延びるビアホール内部に埋込まれたプラグにより接続されている。このプラグは、上下の配

線層間に複数設けられている。

【0005】

しかしながら、複数のプラグそれぞれにおいては、半導体基板の主表面に対して垂直な方向にしか電流が流れない。つまり、複数のプラグは、インダクタとしては寄与しない部分である。

【0006】

したがって、従来のインダクタの構造では、半導体基板の主表面に平行な面におけるインダクタの占有面積を大きくすることなく、または、渦巻き状の配線層の積み重ね段数を多くすることなく、インダクタの抵抗値を低減することが困難である。

【0007】

本発明は、上述のような問題に鑑みてなされたものであり、その目的は、インダクタの低抵抗化が図られた半導体装置およびその製造方法を提供することである。

【0008】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板上にインダクタを有する半導体装置である。また、その半導体装置は、半導体基板の上方に形成された層間絶縁膜と、層間絶縁膜に形成された渦巻き状の溝と、渦巻き状の溝に埋め込まれた配線層と、を有するユニットを備えている。

【0009】

また、インダクタは、半導体基板の主表面に対してほぼ垂直な方向において、ユニットが積み重ねられた複数のユニットにより構成されている。また、複数のユニットに含まれる複数の配線層は、半導体基板の主表面に対して垂直な方向において、互いに重なるように配置されるとともに、ほぼ同一の幅を有している。

【0010】

上記の構成によれば、積み重ねられた複数の配線層によりインダクタが構成されるため、インダクタとして寄与しない部分をなくすることができる。その結果、インダクタの抵抗を低減することが可能になる。

【 0 0 1 1 】

【発明の実施の形態】

以下、図を用いて本発明の実施の形態のインダクタを説明する。

【 0 0 1 2 】

(実施の形態 1)

まず、図 1 ～図 1 0 を用いて実施の形態 1 のインダクタを有する半導体装置の構造およびその製造方法を説明する。まず、図 1 ～図 4 を用いてインダクタの構造を説明する。

【 0 0 1 3 】

本実施の形態のインダクタは、半導体基板の主表面に対して垂直な方向から見た場合には、図 1 に示すように、渦巻き状になっている。図 1 において、渦巻き状は、直線部および 9 0 ° の折れ曲がり部を用いて構成されている。また、図 1 に示す I I - I I 断面が図 2 に示されている。また、図 1 に示す I I I - I I I 断面が図 3 に示されている。また、図 1 に示す I V - I V 断面が図 4 に示されている。

【 0 0 1 4 】

また、図 2、図 3 および図 4 のそれぞれにおいては、インダクタそれぞれの層の部分に対応するロジック回路配線部の配線層の断面構造が示されている。なお、図 2、図 3 および図 4 それぞれにおいては、インダクタは、図 1 に示す異なる断面のそれぞれが表わされているが、ロジック回路配線部は、所定の一断面のみが表わされている。

【 0 0 1 5 】

図 2 から分かるように、半導体基板 6 0 0 の上側に形成された層間酸化膜 1 の中に、配線層用溝 1 0 0 が形成されている。この配線層用溝 1 0 0 の内側には、バリアメタル膜 1 1 が形成されている。バリアメタル膜 1 1 の表面に沿うようにシード Cu 層 1 2 が形成されている。シード Cu 層 1 2 により形成される凹部を埋込むように、Cuめっき層 1 3 が形成されている。バリアメタル膜 1 1、シード Cu 層 1 2 および Cuめっき層 1 3 により配線層 1 0 が構成されている。

【 0 0 1 6 】

また、図 2 ～図 4 から分かるように、層間酸化膜 1 の表面に沿うようにシリコン窒化膜 2 が形成されている。シリコン窒化膜 2 の上側には層間酸化膜 3 が形成されている。層間酸化膜 3 およびシリコン窒化膜 2 を貫通するように、配線層用溝部 2 0 0 が形成されている。

【 0 0 1 7 】

配線層用溝部 2 0 0 の内側には、バリアメタル膜 3 1 が形成されている。バリアメタル膜 3 1 の表面に沿うようにシード Cu 層 3 2 が形成されている。シード Cu 層 3 2 により形成された凹部を埋込むように Cu めっき層 3 3 が形成されている。バリアメタル膜 3 1、シード Cu 層 3 2 および Cu めっき層 3 3 により配線層 3 0 が構成されている。

【 0 0 1 8 】

また、層間酸化膜 3 の上側にはシリコン窒化膜 4 が形成されている。シリコン窒化膜 4 の上には層間酸化膜 5 が形成されている。層間酸化膜 5 およびシリコン窒化膜 4 を貫通するように配線層用溝 3 0 0 が形成されている。

【 0 0 1 9 】

また、配線層用溝 3 0 0 内にはバリアメタル膜 5 1 が形成されている。バリアメタル膜 5 1 の表面に沿うようにシード Cu 層 5 2 が形成されている。シード Cu 層 5 2 により形成された凹部を埋め込むように Cu めっき層 5 3 が形成されている。バリアメタル膜 5 1、シード Cu 層 5 2 および Cu めっき層 5 3 により配線層 5 0 が構成されている。

【 0 0 2 0 】

また、層間酸化膜 5 の上側には、シリコン窒化膜 6 が形成されている。シリコン窒化膜 6 の上には層間酸化膜 7 が形成されている。層間酸化膜 7 およびシリコン窒化膜 6 を貫通するように配線層用溝 4 0 0 が形成されている。

【 0 0 2 1 】

また、配線層用溝 4 0 0 の内側にはバリアメタル膜 7 1 が形成されている。バリアメタル膜 7 1 の表面に沿うようにシード Cu 層 7 2 が形成されている。シード Cu 層 7 2 により形成される凹部を埋め込むように、Cu めっき層 7 3 が形成されている。バリアメタル膜 7 1、シード Cu 層 7 2 および Cu めっき層 7 3 に

より配線層 7 0 が構成されている。

【 0 0 2 2 】

また、層間酸化膜 7 の上側には、シリコン窒化膜 8 が形成されている。シリコン窒化膜 8 の上側には層間酸化膜 9 が形成されている。層間酸化膜 9 およびシリコン窒化膜 8 を貫通するように配線層用溝 5 0 0 が形成されている。

【 0 0 2 3 】

配線層用溝 5 0 0 の内側にはバリアメタル膜 9 1 が形成されている。バリアメタル膜 9 1 の表面に沿うようにシード Cu 層 9 2 が形成されている。シード Cu 層 9 2 により形成された凹部を埋め込むように、Cu めっき層 9 3 が形成されている。バリアメタル膜 9 1、シード Cu 層 9 2 および Cu めっき層 9 3 により配線層 9 0 が構成されている。また、層間絶縁膜 9 の上側には、配線層 9 0 を覆うように層間絶縁膜 3 0 0 0 が形成されている。

【 0 0 2 4 】

また、図 2 から分かるように、配線層 1 0 は、半導体基板 6 0 0 の主表面に対して垂直な方向から見た場合に、配線層 3 0 に対して外側にはみ出している。また、図 2 ～図 4 から分かるように、配線層 3 0、配線層 5 0、配線層 7 0 および配線層 9 0 は、同じ幅を有して上下方向に貫通している。

【 0 0 2 5 】

また、図 4 に示すように、最上部の配線層 9 0 は、配線層 3 0、配線層 5 0、配線層 7 0 よりも距離 H だけ外側にはみ出しているはみ出し部分 9 5 を有している。このはみ出し部分 9 5 がインダクタの上部引出電極となる。また、インダクタの下部引出電極は配線層 1 0 である。

【 0 0 2 6 】

上記のような半導体装置は、半導体基板 6 0 0 の上方に形成された層間酸化膜 3、5、7、9 を備えている。層間絶縁膜 3、5、7、9 それぞれには、渦巻き状の溝 2 0 0、3 0 0、4 0 0、5 0 0 が形成されている。渦巻き状の溝 2 0 0、3 0 0、4 0 0、5 0 0 それぞれには、配線層 3 0、5 0、7 0、9 0 が埋め込まれている。

【 0 0 2 7 】

層間絶縁膜、配線層および渦巻き状の溝によりユニットが構成されている。またインダクタ1000は、半導体基板600の主表面に対してほぼ垂直な方向において、ユニットが積み重ねられた複数のユニットにより構成されている。

【0028】

複数のユニットに含まれる配線層30, 50, 70, 90同士は、半導体基板600の主表面に対して垂直な方向において、互いに重なるように配置されるとともに、ほぼ同一の幅を有している。

【0029】

上記のような本実施の形態の半導体装置によれば、インダクタ100を構成するすべての部分が、渦巻き状に形成されている。すなわち、従来技術のように、上下方向に貫通するビアホール部分がなく、半導体基板の主表面と平行な全ての平断面において渦巻き状の配線層30, 50, 70, 90として形成されている。したがって、インダクタの上下方向のすべての位置において渦電流を生じさせることができる。

【0030】

その結果、インダクタ1000の低抵抗化を図ることができる。言い換えれば、上記の半導体装置は、複数層積み重ねられた配線層30, 50, 70, 90によりインダクタ1000が構成されるため、インダクタとして寄与しない部分をなくすることができる。その結果、インダクタ1000の抵抗を低減することが可能になる。

【0031】

また、渦巻き状の溝200, 300, 400, 500それぞれの幅は、配線層30, 50, 70, 90が属するユニットの層間絶縁膜3, 5, 7, 9の膜厚よりも大きい。

【0032】

上記の構成によれば、渦巻き状の溝200, 300, 400, 500それぞれに埋め込まれる配線層30, 50, 70, 90の埋め込み不良の発生のおそれを低減することができる。

【0033】

複数のユニットの半導体基板 6 0 0 から最も離れた位置に存在する最上層ユニットに含まれる配線層 9 0 には、インダクタ 1 0 0 0 から電流を取り出すことが可能な取出電極部が設けられている。また、取出電極部は、図 4 に示すように、層間絶縁膜 9 の主表面に対して垂直な方向において、最上層ユニットの下側のユニットに含まれる配線層 3 0, 5 0, 7 0 の最外縁よりもはみ出したはみ出し部分 9 5 を有している。最上層ユニットの上側には、層間絶縁膜 3 0 0 0 が形成されている。また、はみ出し部分 H に接続するように、はみ出し部分 9 5 の上側から、層間絶縁膜 3 0 0 0 を貫通するコンタクトプラグ 9 0 0 が形成されている。

【 0 0 3 4 】

上記の構成によれば、仮にコンタクトプラグ 9 0 0 が最上層ユニットの配線層 9 0 のはみ出し部分 9 5 を貫通しても、最上層ユニットの下側のユニットに含まれる配線層 9 0 が露出することが防止されている。したがって、最上層ユニットの下側のユニットに含まれる配線層 7 0 が酸化されることが防止されている。その結果、インダクタ 1 0 0 0 の抵抗がコンタクトプラグ 9 0 0 の形成位置の誤差に起因して増加することを防止することができる。

【 0 0 3 5 】

次に、図 5 ～図 1 0 を用いてインダクタを有する半導体装置の製造方法を説明する。

【 0 0 3 6 】

まず、半導体基板 6 0 0 の上方において層間酸化膜 (SiO_2) 1 を形成する。次に、層間酸化膜 1 の上にレジスト膜を設ける。このレジスト膜をマスクとして、層間酸化膜 1 をエッチングする。それにより、図 5 に示すように、層間酸化膜 1 に配線層用の溝 1 0 0 を形成する。このときにインダクタ形成部およびロジック回路配線部のそれぞれにおいて配線層用の溝 1 0 0 を形成する。

【 0 0 3 7 】

次に、配線層用の溝 1 0 0 内に配線層 1 0 を形成する。その配線層 1 0 0 を形成する工程においては、まず、層間酸化膜 1 の表面に沿うようにバリアメタル膜 1 1 を形成する。次に、バリアメタル膜 1 1 の表面に沿うようにシード Cu 層 7 をスパッタリングする。

【 0 0 3 8 】

その後、シードCu層7の上にCuめっき層8を形成する。次に、層間酸化膜1の表面が露出するまで、バリアメタル膜11、シードCu層7およびCuめっき層8をCMP (Chemical Mechanical Polishing) 法により研磨する。これにより、図6に示すような構造が得られる。

【 0 0 3 9 】

次に、配線層10および層間酸化膜1の表面を覆うようにシリコン窒化膜2を形成する。シリコン窒化膜2の上に層間酸化膜3を形成する。層間酸化膜3の上にレジスト膜を形成する。そのレジスト膜に所定のパターンを転写する写真製版工程を行なう。それにより、レジスト膜に所定のパターンが形成される。その所定のパターンを用いて層間酸化膜3を異方性エッチングする。それにより、図7に示すように、層間酸化膜3に配線層用の溝200が形成される。

【 0 0 4 0 】

次に、配線層用の溝200の表面およびシリコン窒化膜2の表面に沿うように有機材料である埋込剤が塗布される。その後、埋込剤をエッチバックすることにより、配線層用の溝200の底面から所定の高さまでの位置に有機材料からなるプラグ150を形成する。それにより、図8に示す構造が得られる。

【 0 0 4 1 】

次に、インダクタ1000が形成されているインダクタ形成部の層間酸化膜3およびプラグ150の上にのみ図9に示すレジスト膜2000を形成する。つまり、ロジック回路領域の層間絶縁膜3の上にはレジスト膜2000は形成されない。そのレジスト膜2000をマスクとしてエッチングを行なう。このとき、図9に示すように、配線層用の溝200の上部には配線層用の溝200よりも幅が大きな配線層用の溝250が形成される。

【 0 0 4 2 】

また、前述のエッチング工程において、図8に示すプラグ150は、シリコン窒化膜2が膜減りしないように保護する保護材として機能する。プラグ150が設けられていない場合には、シリコン窒化膜2が露出するため、シリコン窒化膜2がエッチングされてしまう。その結果、シリコン窒化膜2の下側に位置するC

uめっき層 8 が酸化されてしまう。したがって、プラグ 1 5 0 により Cuめっき層 8 が酸化されることが防止されている。その後、プラグ 1 5 0 およびシリコン窒化膜 8 は除去される。

【 0 0 4 3 】

次に、渦巻き状の溝 2 0 0、配線層用の溝 2 0 0 および配線層用の溝 2 5 0 が形成された層間酸化膜 3 の表面に沿うようにバリアメタル膜 3 1 を形成する。次に、バリアメタル膜 3 1 の上にシード Cu 層 3 2 をスパッタリングする。次に、シード Cu 層 3 2 の上に Cuめっき層 3 3 を形成する。

【 0 0 4 4 】

その後、層間酸化膜 3 の上面が露出するまでバリアメタル膜 3 1、シード Cu 層 3 2 および Cuめっき層 8 を CMP 法により研磨することにより、図 1 0 に示すような構造を得る。前述のシリコン窒化膜 2、層間酸化膜 3 および配線層 3 0 からなるユニットを形成する工程を順次繰返すことにより、図 2 ～図 4 に示す構造のインダクタを製造することができる。

【 0 0 4 5 】

前述の半導体装置は、インダクタ 1 0 0 0 が形成される領域とは異なる領域であって、ロジック回路が形成されるロジック回路領域を備えている。ロジック回路領域においては、ロジック回路を構成する配線層 1 0、3 0、5 0、7 0、9 0 が設けられている。渦巻き状の溝 2 0 0、3 0 0、4 0 0、5 0 0 を形成する工程は、ロジック回路の配線層 3 0、5 0、7 0、9 0 が埋め込まれるロジック回路の配線層用の溝 2 0 0、3 0 0、4 0 0、5 0 0 を形成する工程の一部の工程とともに実行される。

【 0 0 4 6 】

また、ロジック回路用溝 3 0 を形成する工程は、層間絶縁膜 3 に前述の一部の工程を施すことにより、第 1 の配線層用の溝 2 0 0 を形成する工程を含んでいる。また、ロジック回路用の溝 2 0 0、2 5 0 を形成する工程は、第 1 の配線層用の溝 2 0 0 を形成する工程の後、第 1 の配線層用の溝 2 0 0 が形成された層間絶縁膜 3 をエッチングすることにより、第 1 の配線層用の溝 2 0 0 の上側に第 1 の配線層用の溝 2 0 0 よりも幅が大きい第 2 の配線層用の溝 2 5 0 を形成する工程

を含んでいる。

【 0 0 4 7 】

さらに、図 9 に示すように、第 2 の配線層用の溝 2 5 0 を形成する工程においては、インダクタ形成部の渦巻き状の溝 2 0 0 がマスクとしてのレジスト膜 2 0 0 0 により覆われた状態で、第 2 の配線層用の溝 2 5 0 のエッチングが行われる。

【 0 0 4 8 】

上記の製法によれば、第 2 の配線層用の溝 2 5 0 を形成するときに、インダクタ部の渦巻き状の溝 2 0 0 がエッチングされないため、渦巻き状の溝 2 0 0 の幅を維持することができる。

【 0 0 4 9 】

(実施の形態 2)

次に、図 1 1 ～図 2 0 を用いて実施の形態 2 のインダクタを有する半導体装置の構造およびその製造方法を説明する。まず、図 1 1 ～図 1 4 を用いてインダクタを有する半導体装置の構造を説明する。図 1 1 ～図 1 4 に示すように、本実施の形態のインダクタを有する半導体装置の構造は、実施の形態 1 の図 1 ～図 4 を用いて示したインダクタを有する半導体装置とほぼ同様の構造である。実施の形態 1 の半導体装置において付されている符号と同じ符号が付されている本実施の形態の半導体装置の各部分は、実施の形態 1 の該当部分と同じ機能を果たす部分である。

【 0 0 5 0 】

ただし、本実施の形態の半導体装置は、インダクタ 1 0 0 0 が形成されている部分の配線層 3 0, 5 0, 7 0, 9 0 が形成されている溝 2 0 0, 2 5 0 それぞれの断面が、下部分の溝 2 0 0 と上部分の溝 2 5 0 とからなり、下部分の溝 2 0 0 の幅と上部分の溝 2 5 0 の幅とが異なっている。この点が、実施の形態 1 の半導体装置の構造と異なる。それ以外においては、実施の形態 1 のインダクタを有する半導体装置の構造と実施の形態 2 のインダクタを有する半導体装置の構造とは全く同じである。

【 0 0 5 1 】

また、図 1 5 ～ 図 2 0 に示す半導体装置の製造方法においても、図 5 ～ 図 1 0 を用いて説明した実施の形態 1 の半導体装置の製造方法とほぼ同様の工程が行なわれる。実施の形態 1 の製造方法と本実施の形態の製造方法とが異なるのは、図 1 7 に示すように、インダクタ 1 0 0 が形成される領域の配線層用の溝 2 0 0 の幅が図 7 の配線層用の溝 2 0 0 の幅より小さいことである。また、図 1 8 に示す状態で、インダクタ形成部の渦巻き状の溝 2 0 0 の上側部分の層間絶縁膜 3 もエッチングされるように、渦巻き状の溝 2 0 0 の上に形成されるレジストに開口パターンが形成されている。

【 0 0 5 2 】

したがって、図 1 9 に示すように、インダクタ 1 0 0 が形成される領域の配線層用の溝 2 0 0 の上部には、配線層用の溝 2 0 0 よりも幅が大きな配線層用の溝 2 5 0 が形成される。それ以外の製造工程においては、本実施の形態と実施の形態 1 とは全く同様の製造工程が行なわれる。

【 0 0 5 3 】

前述のような本実施の形態の半導体装置においても、実施の形態 1 の半導体装置により得られる効果と同様の効果を得ることができる。

【 0 0 5 4 】

なお、図 1 および図 1 1 に示す渦巻き状の配線層は、図 2 1 に示すような曲線状の渦巻き状であってもよい。このようにすることにより、さらに滑らかに渦電流が生じることにより、インダクタの抵抗の低抵抗化を図ることができる。

【 0 0 5 5 】

また、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 0 5 6 】

【発明の効果】

本発明によれば、低抵抗化が図られたインダクタを有する半導体装置および製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 の半導体装置のインダクタを上側から見たときの模式図である。

【図 2】 実施の形態 1 のインダクタを有する半導体装置の断面図である。

【図 3】 実施の形態 1 のインダクタを有する半導体装置の断面図である。

【図 4】 実施の形態 1 のインダクタを有する半導体装置の断面図である。

【図 5】 実施の形態 1 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 6】 実施の形態 1 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 7】 実施の形態 1 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 8】 実施の形態 1 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 9】 実施の形態 1 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 10】 実施の形態 1 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 11】 実施の形態 2 の半導体装置のインダクタを上側から見たときの模式図である。

【図 12】 実施の形態 2 のインダクタを有する半導体装置の断面図である。

【図 13】 実施の形態 2 のインダクタを有する半導体装置の断面図である。

【図 14】 実施の形態 2 のインダクタを有する半導体装置の断面図である。

【図 15】 実施の形態 2 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 16】 実施の形態 2 のインダクタを有する半導体装置の製造方法を説

明するための図である。

【図 1 7】 実施の形態 2 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 1 8】 実施の形態 2 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 1 9】 実施の形態 2 のインダクタを有する半導体装置の製造方法を説明するための図である。

【図 2 0】 実施の形態 2 のインダクタを有する半導体装置の製造方法を説明するための図である。

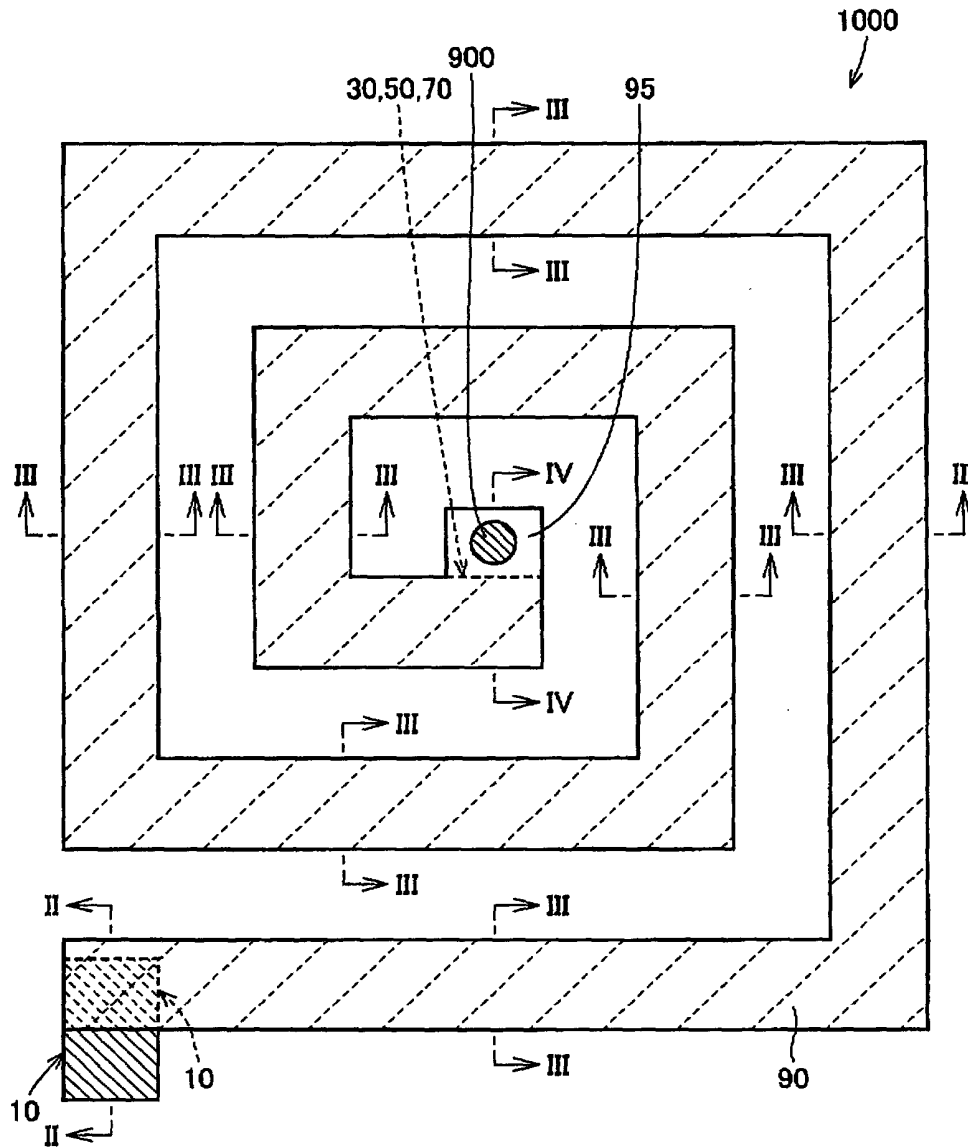
【図 2 1】 他の例の半導体装置のインダクタを上側から見たときの模式図である。

【符号の説明】

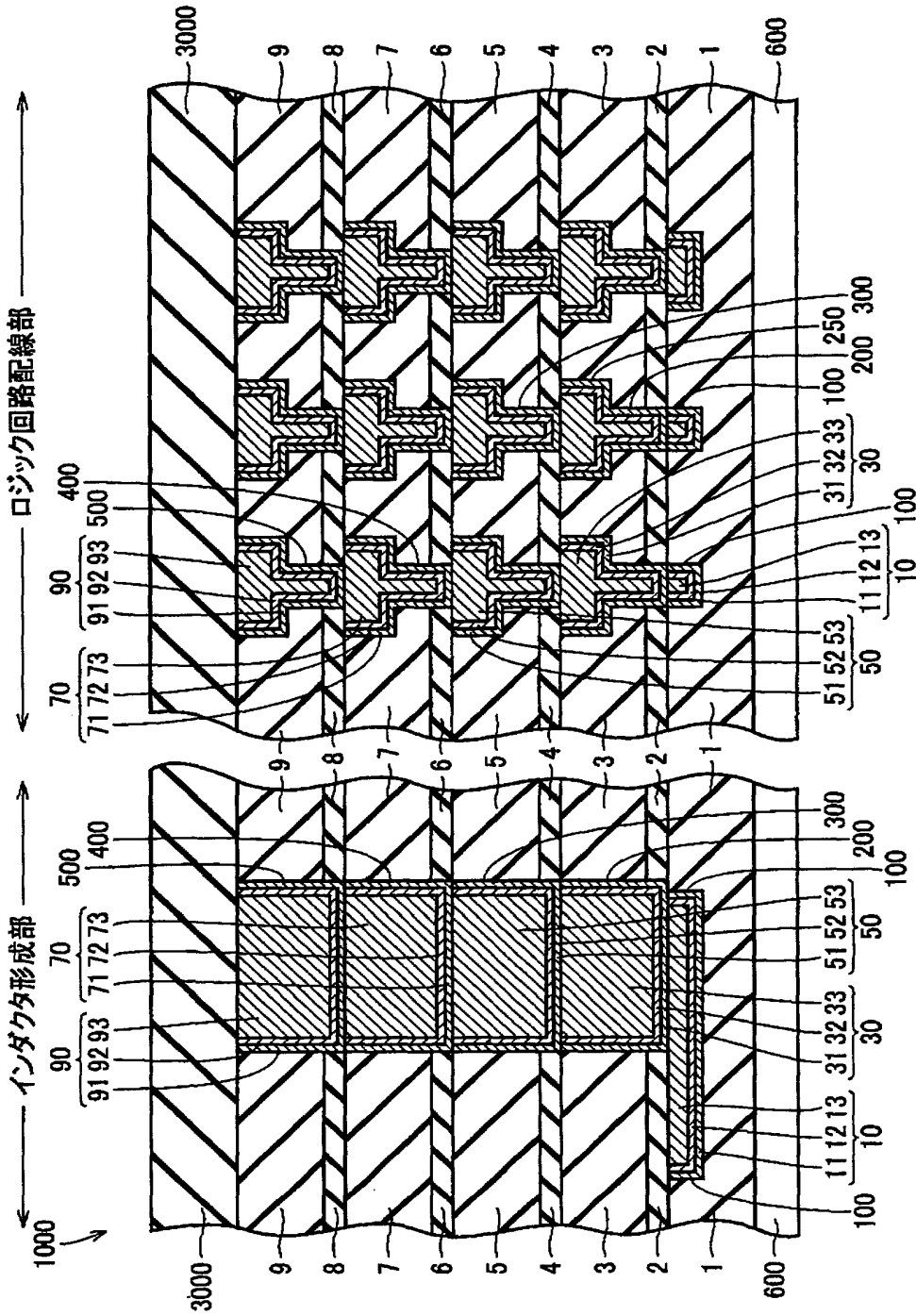
1, 3, 5, 7, 9 層間酸化膜、2, 4, 6, 8 シリコン窒化膜、10, 30, 50, 70, 90 配線層、11, 31, 51, 71, 91 バリアメタル膜、12, 32, 52, 72, 92 シードCu層、13, 33, 53, 73, 93 Cuめっき層。

【書類名】 図面

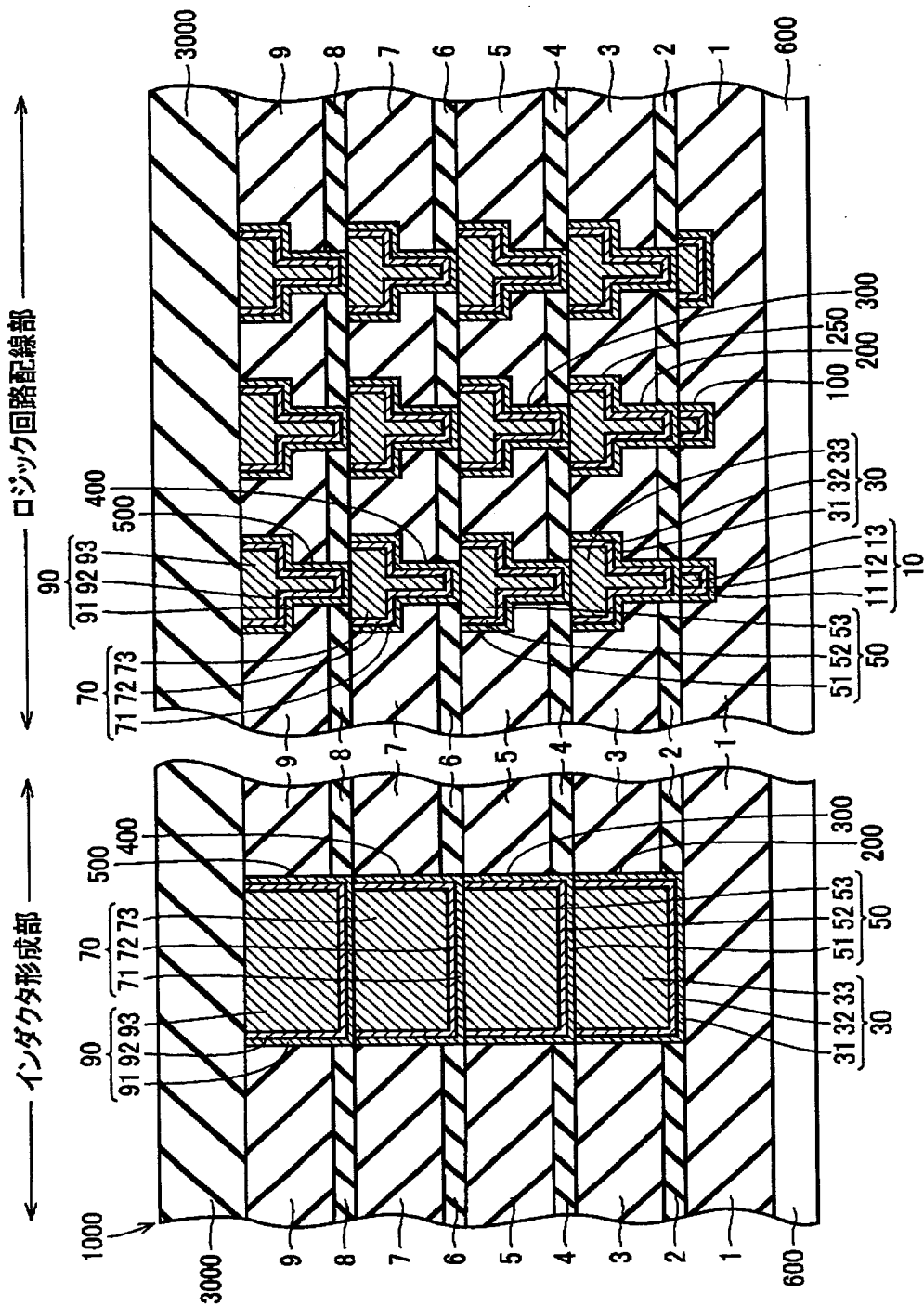
【図 1】



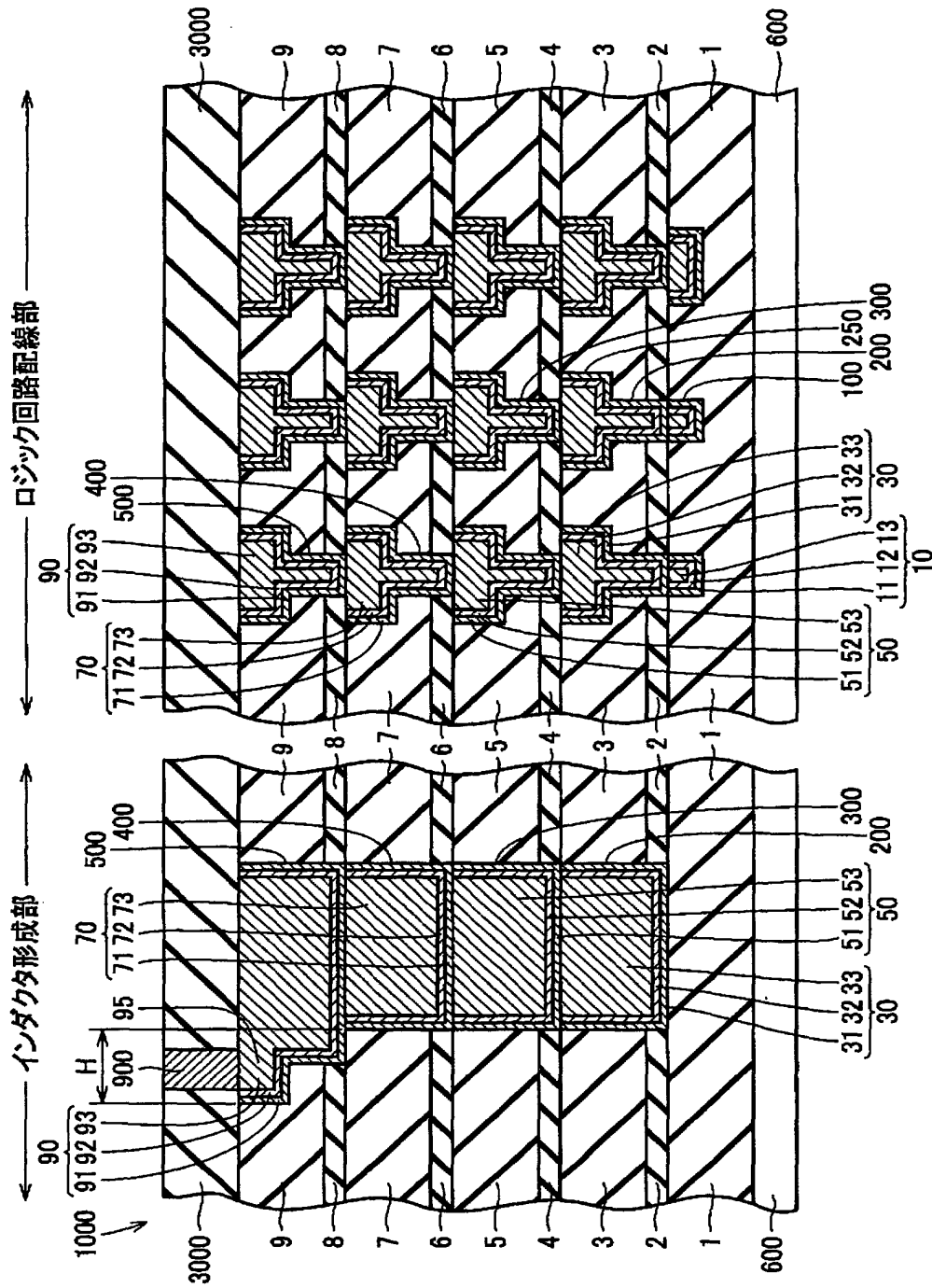
【図 2】



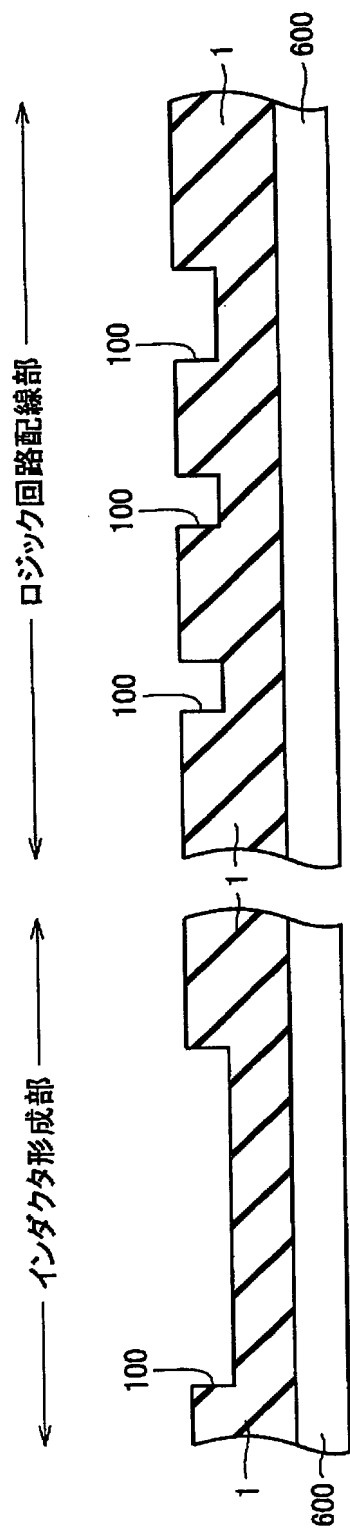
【図 3】



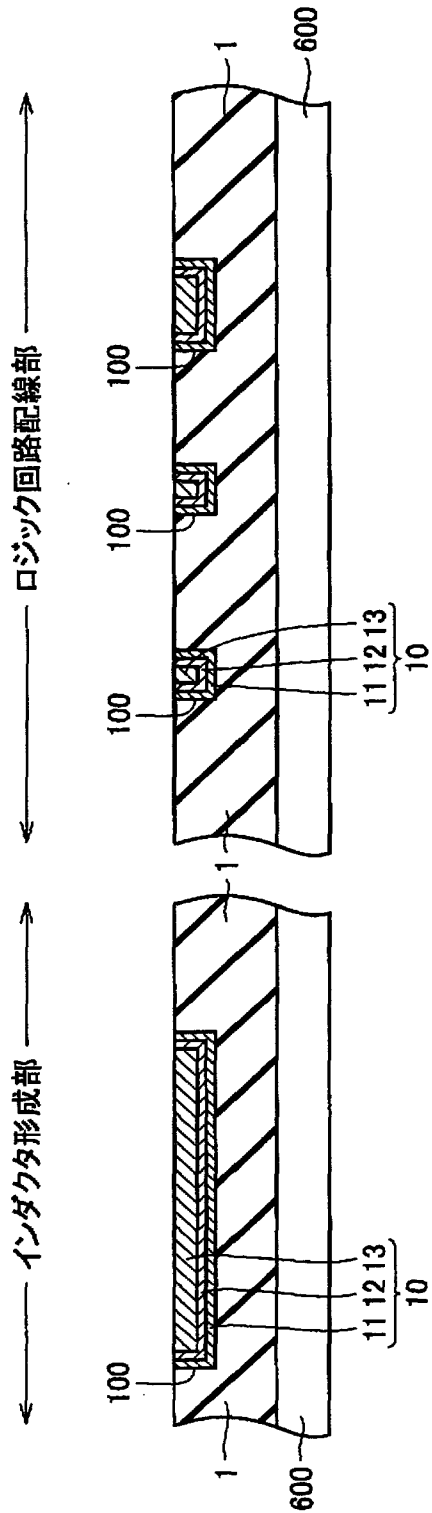
【図4】



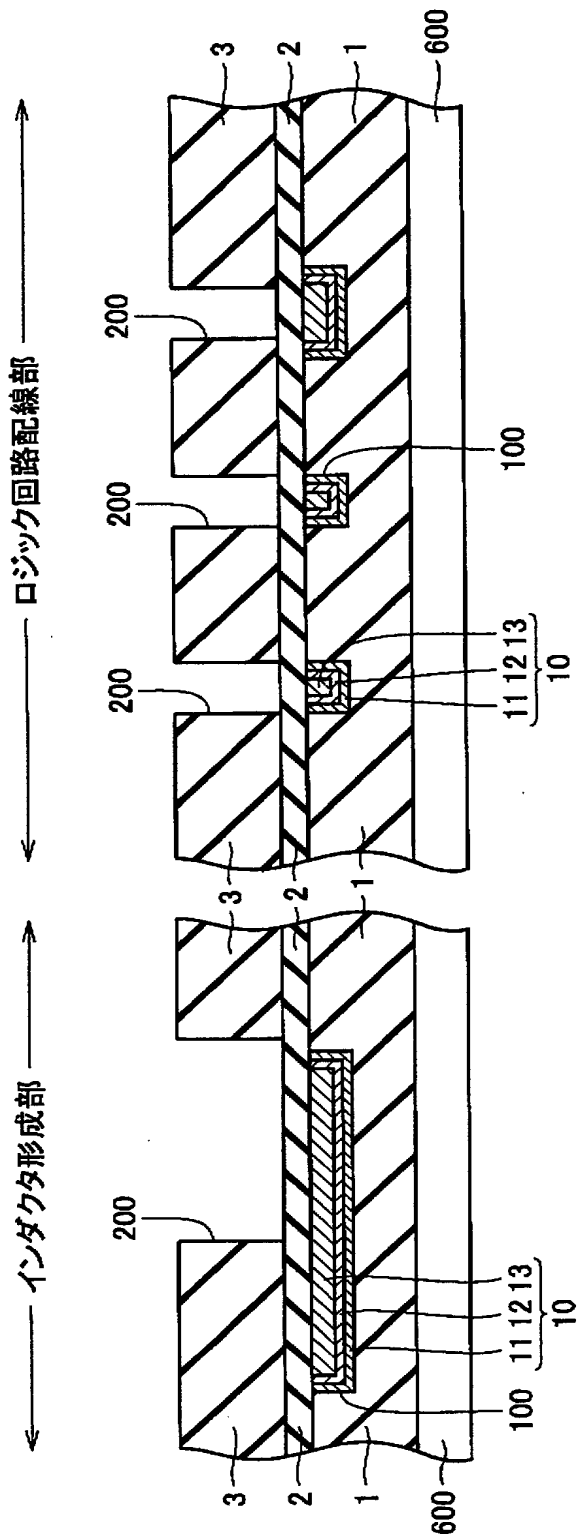
【図 5】



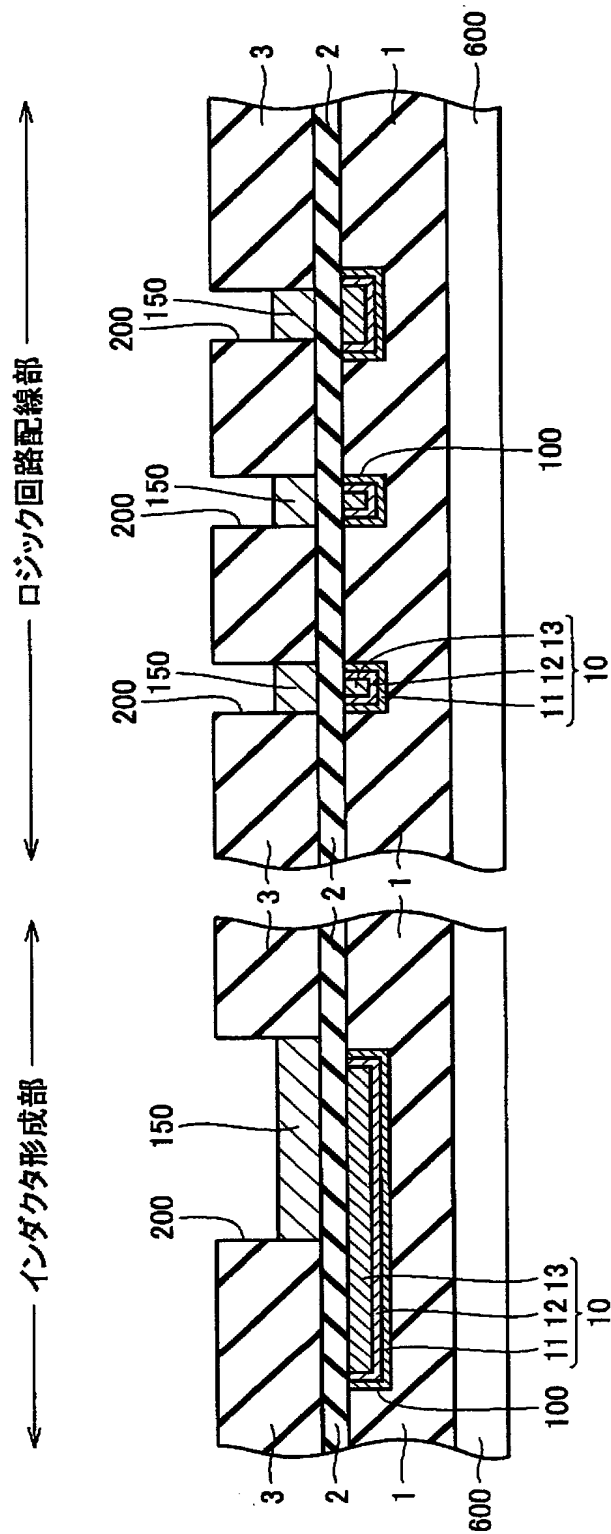
【図 6】



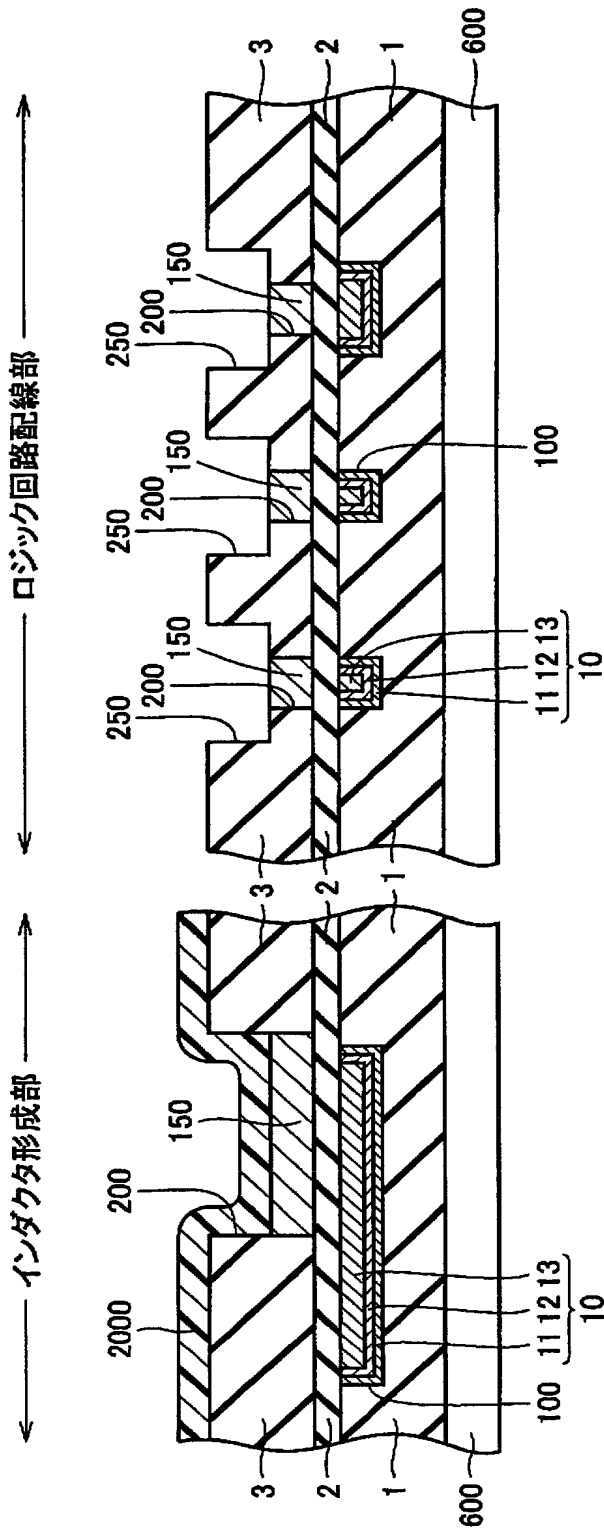
【図 7】



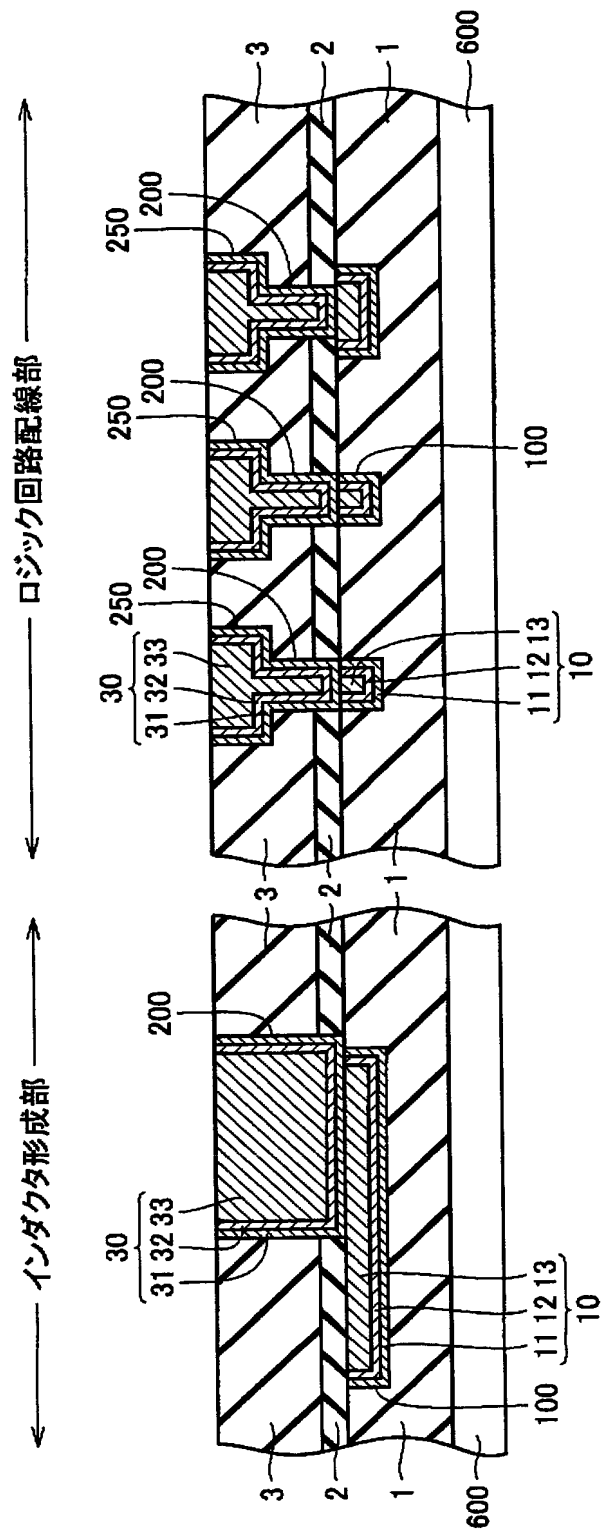
【図 8】



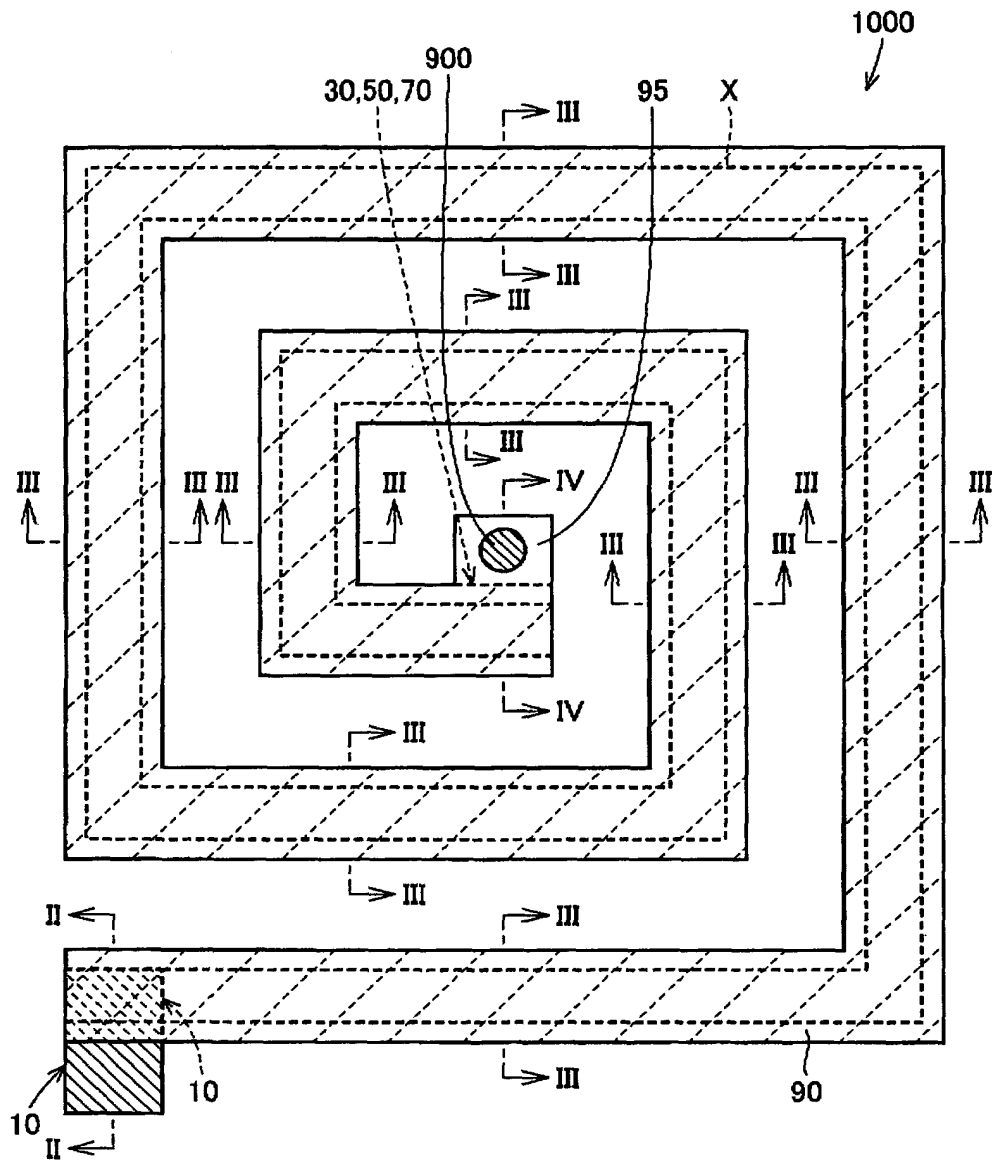
【図 9】



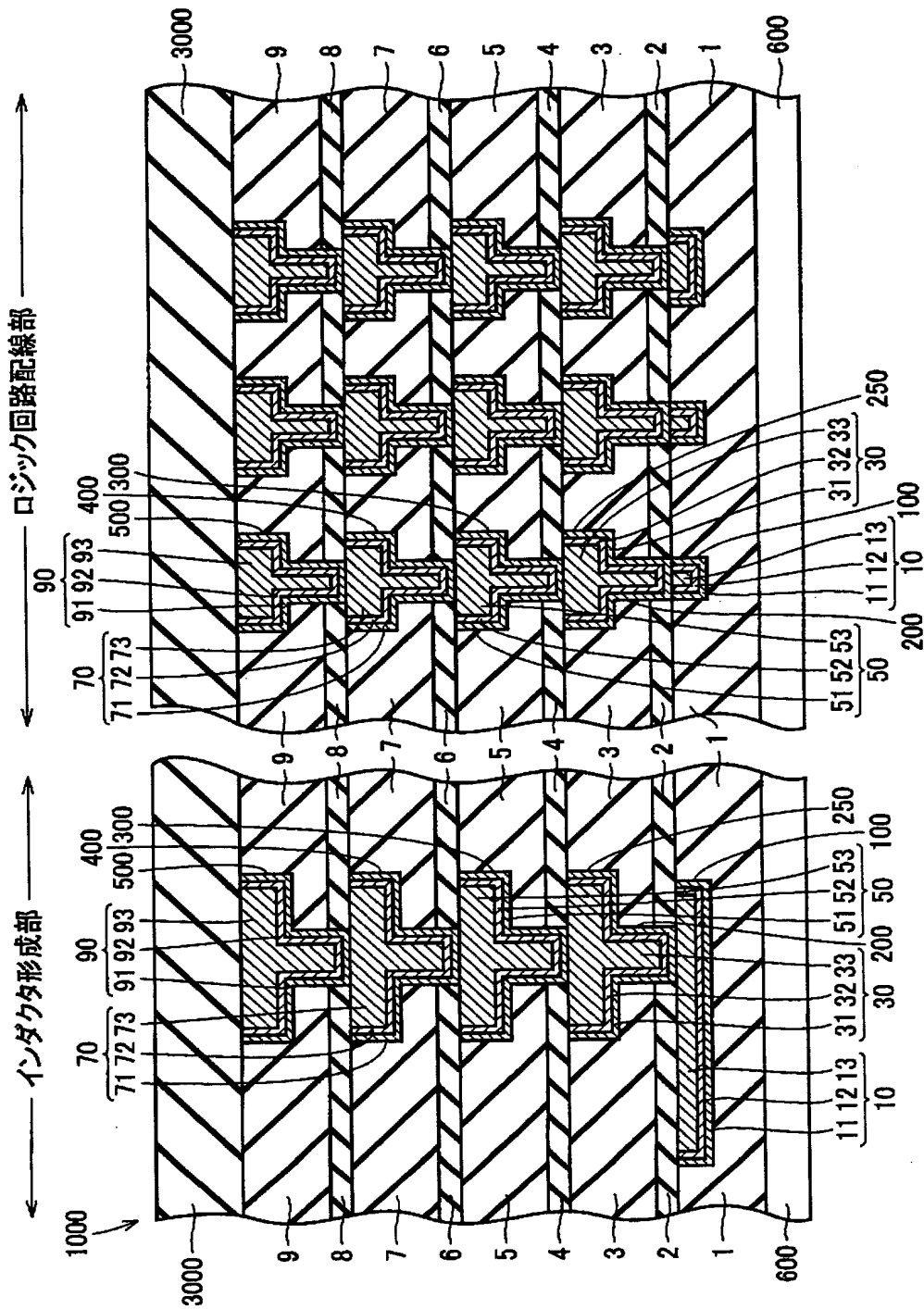
【図 10】



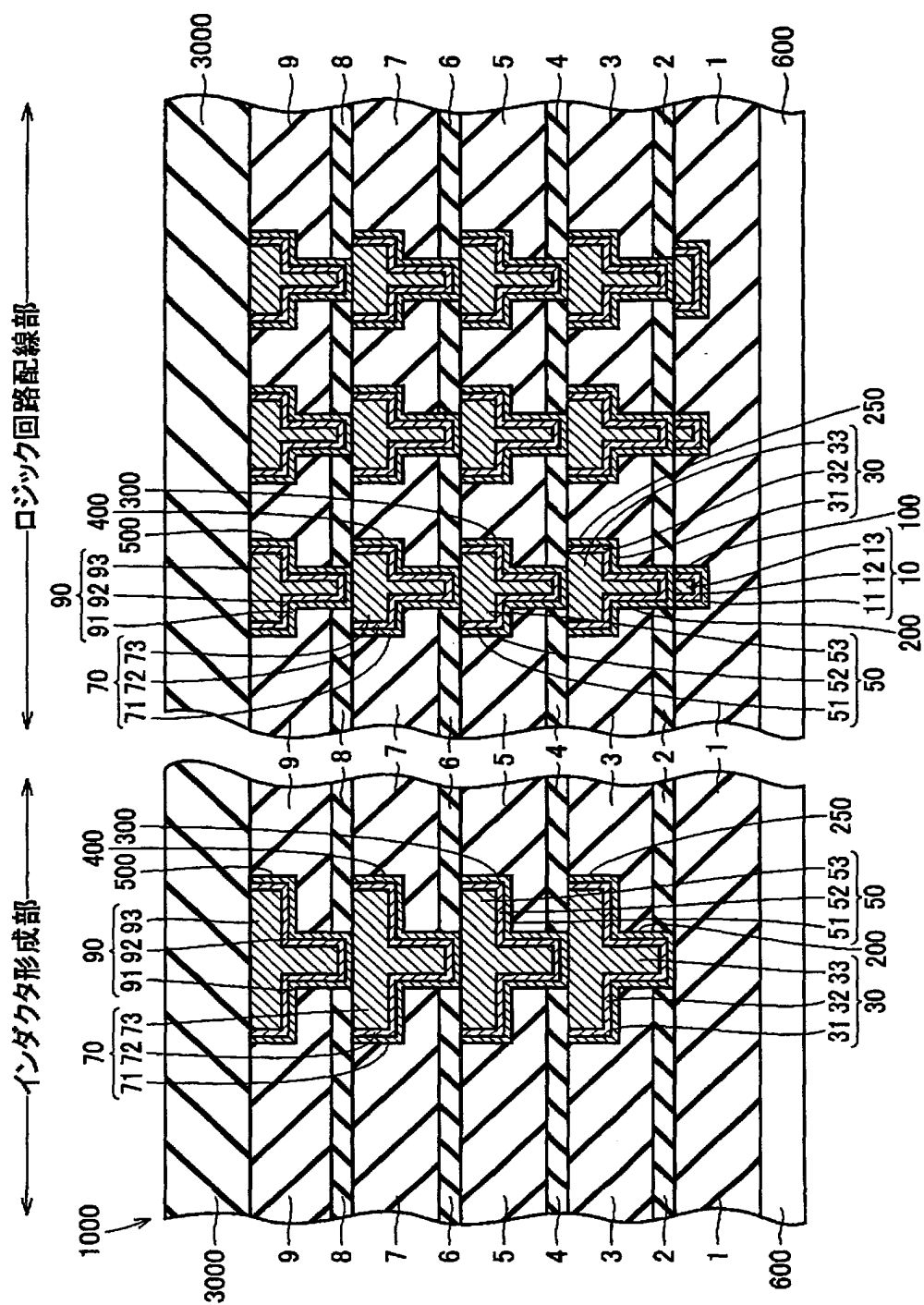
【図 1 1】



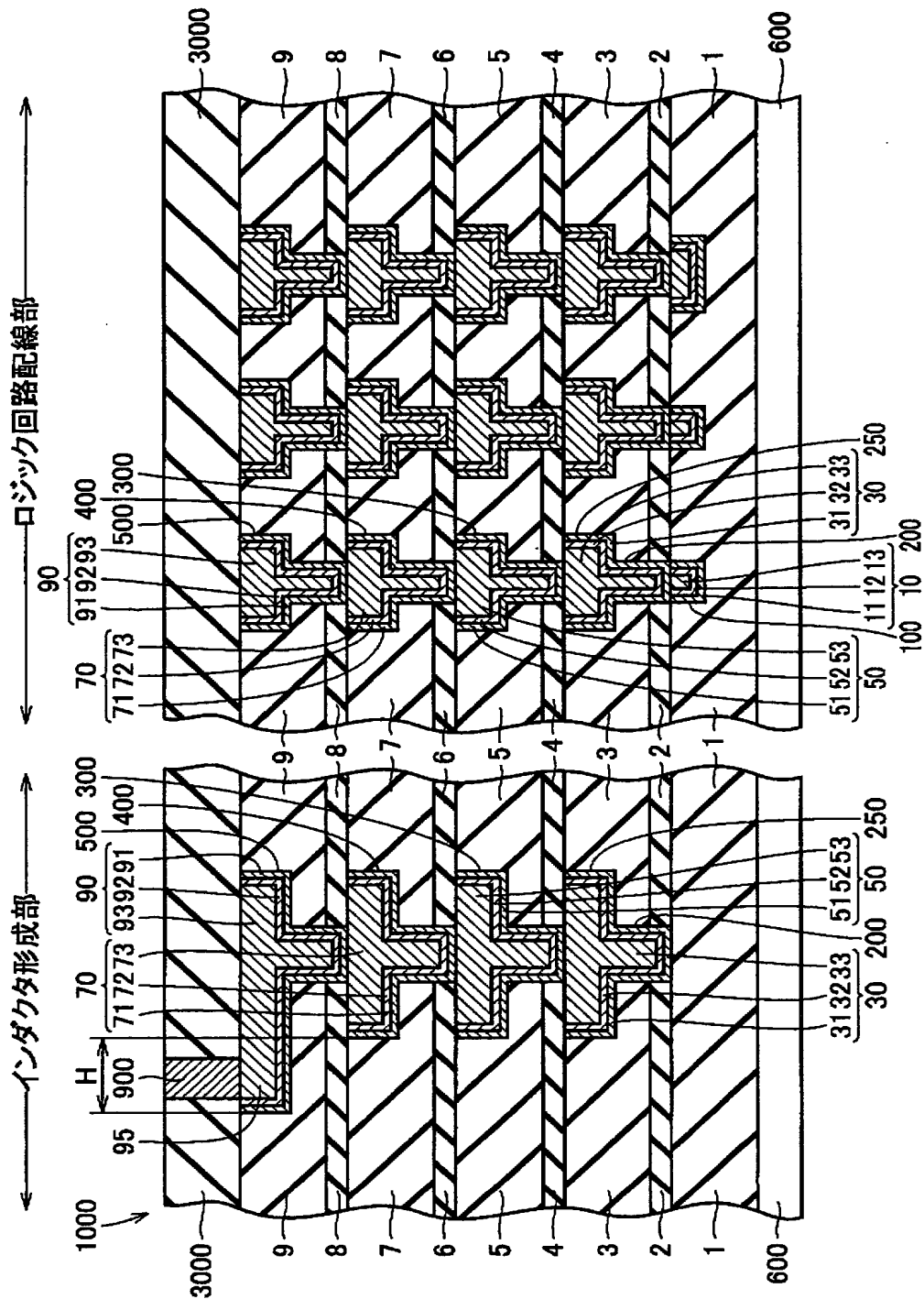
【図12】



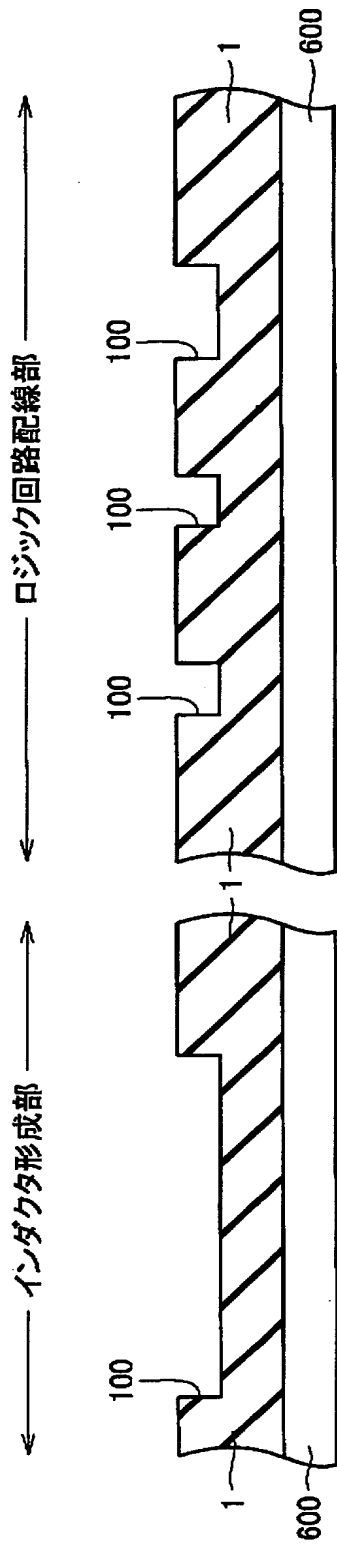
【図 13】



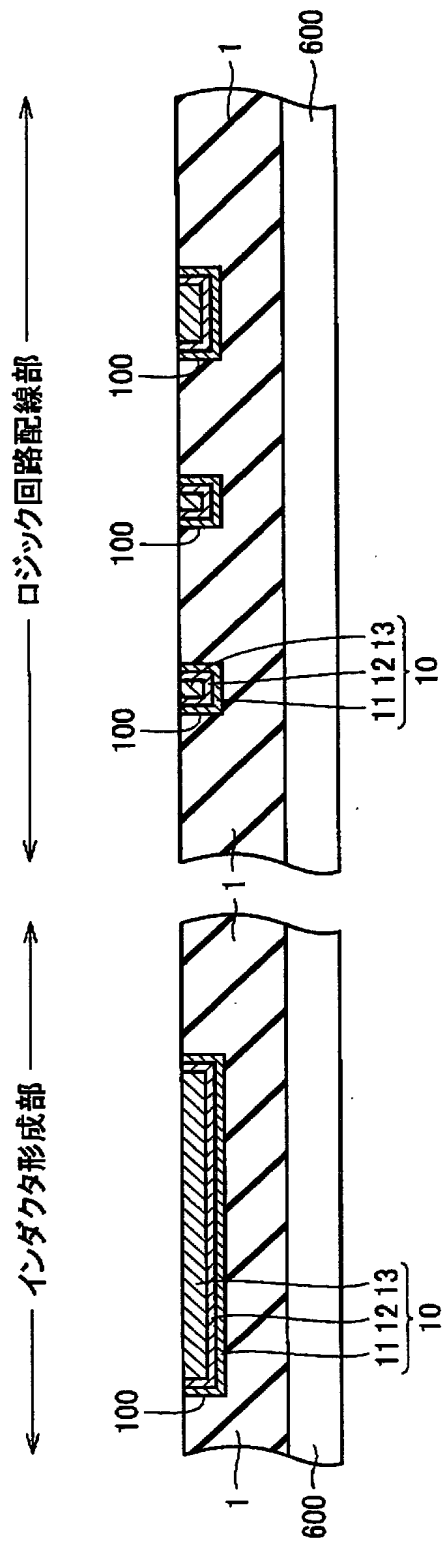
【図 14】



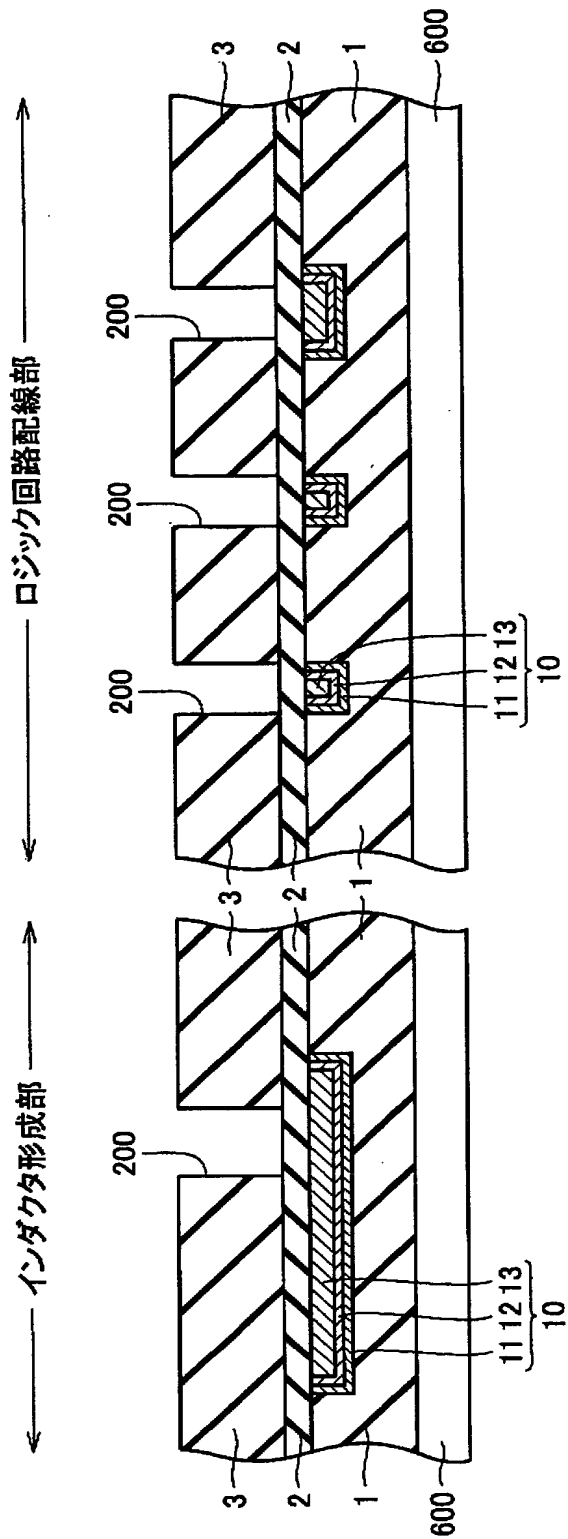
【図 1 5】



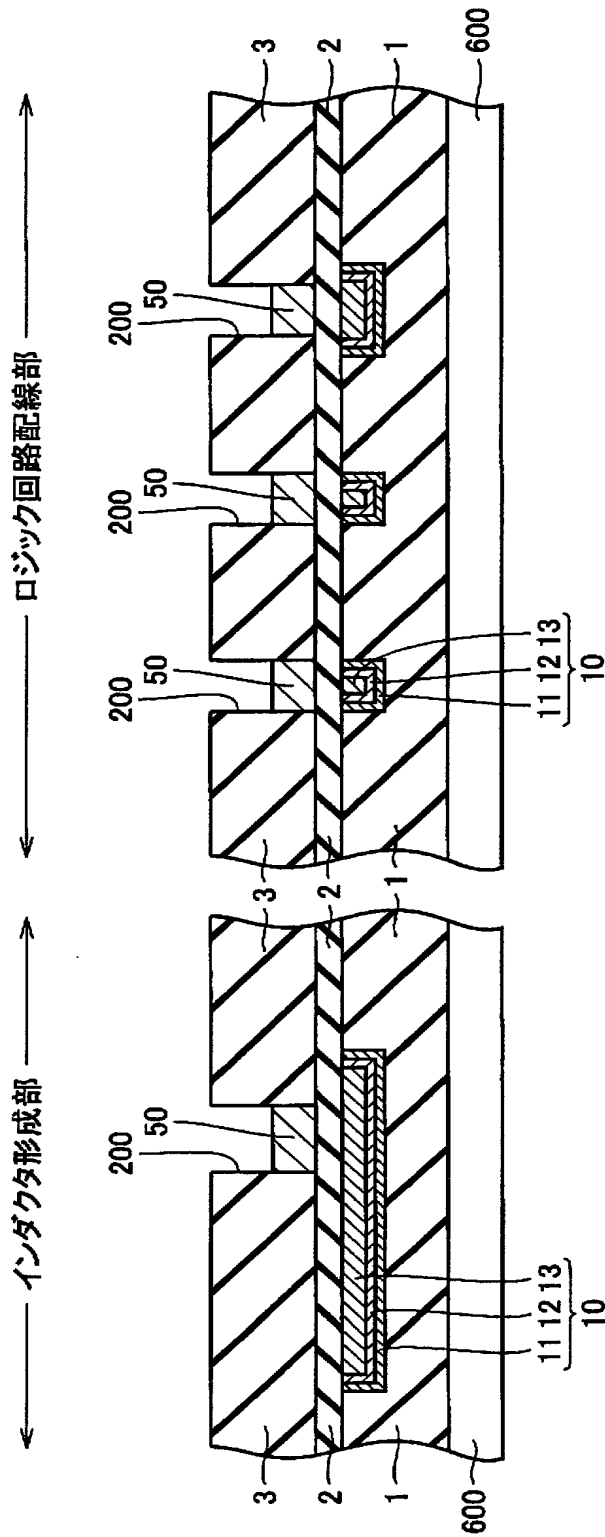
【図 16】



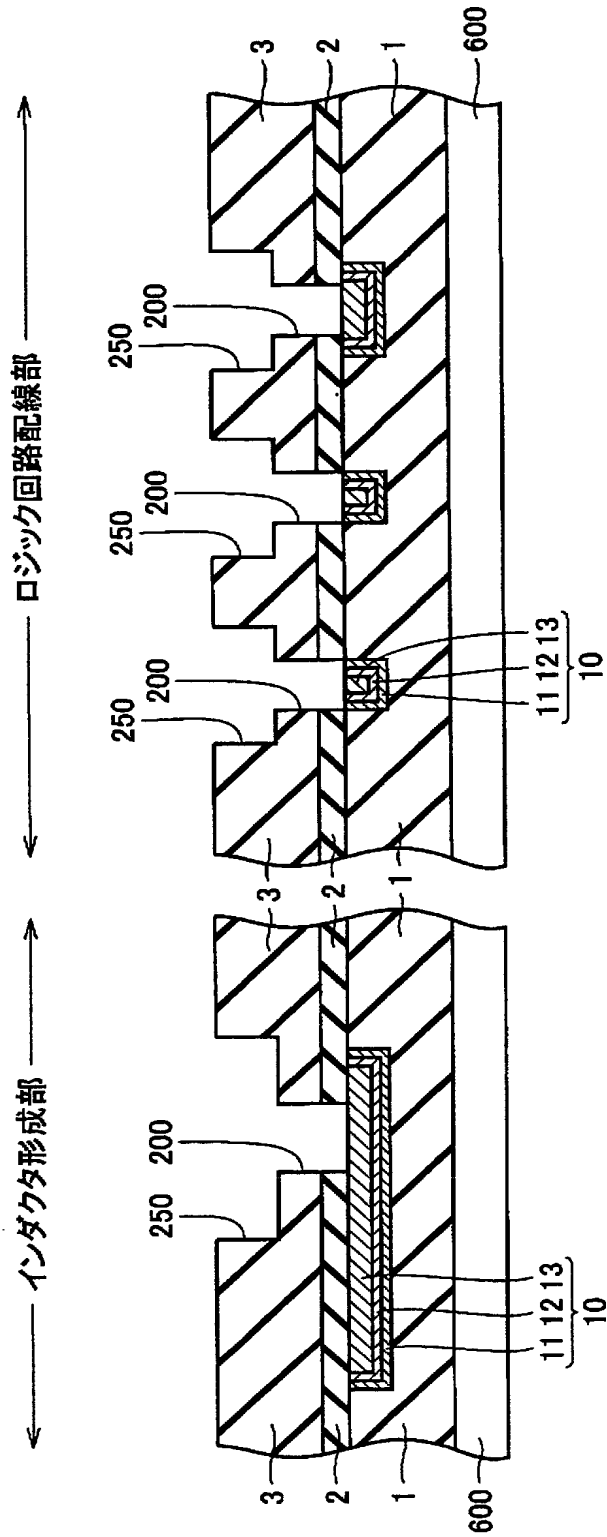
【図 17】



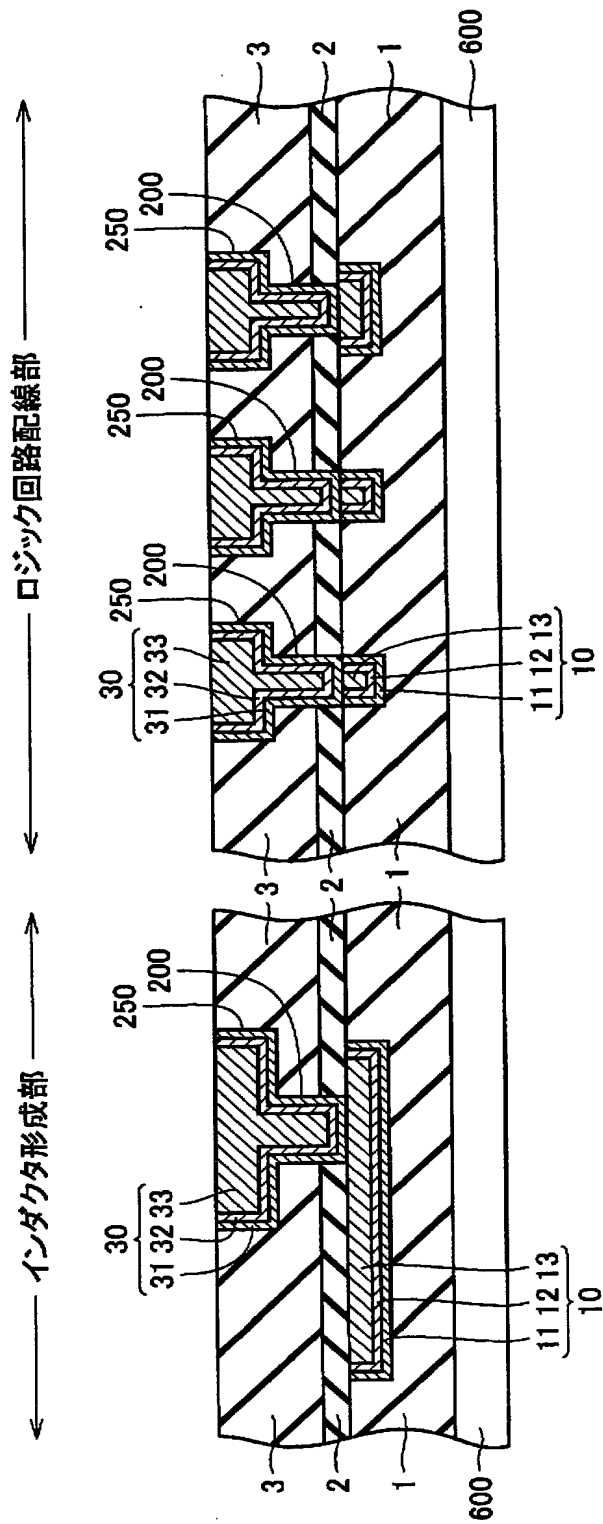
【図 18】



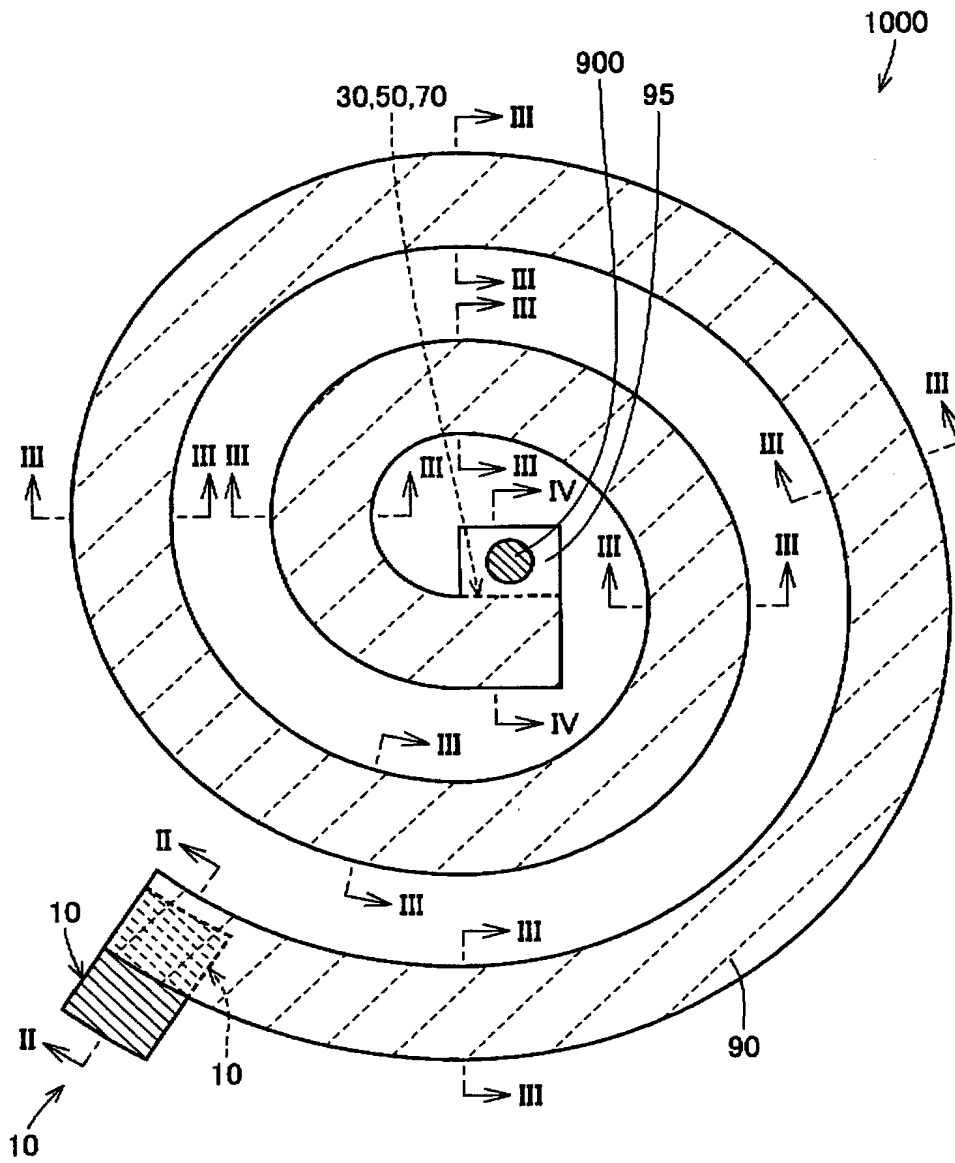
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 低抵抗化が図られたインダクタを有する半導体装置およびその製造方法を提供する。

【解決手段】 層間絶縁膜 3, 5, 7, 9 およびシリコン窒化膜 2, 4, 6, 8 それぞれを上下方向に貫通するように溝 200, 300, 400, 500 が形成されており、その溝 200, 300, 400, 500 内には配線層 30, 50, 70, 90 が形成されている。配線層 30, 50, 70, 90 同士は、同一の幅を有し、上下方向において互いに重なるように設けられている。したがって、インダクタ 1000 の上下方向におけるすべての部分が渦電流を発生するための部分として寄与する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [5 0 3 1 2 1 1 0 3]

1. 変更年月日	2 0 0 3 年 4 月 1 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ